

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 58136137
PUBLICATION DATE : 13-08-83

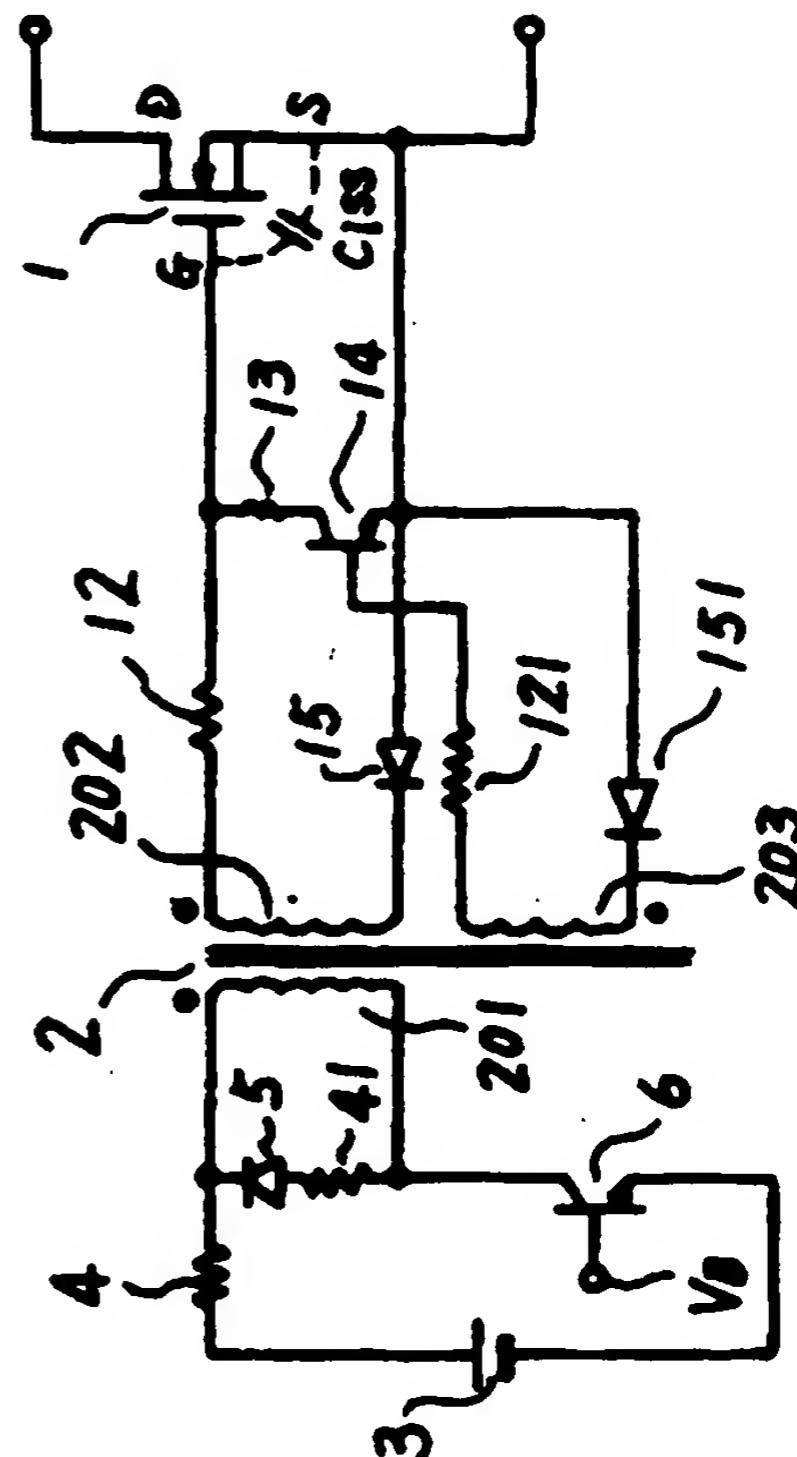
APPLICATION DATE : 08-02-82
APPLICATION NUMBER : 57017560

APPLICANT : HITACHI LTD;

INVENTOR : YABUNO KOHEI;

INT.CL. : H03K 17/687 H03K 17/04 // H02M 1/08
H02M 3/28

**TITLE : CONTROL CIRCUIT FOR FIELD
EFFECT TRANSISTOR**



ABSTRACT : PURPOSE: To drive stably an FET in high speed, by providing a switch element short-circuiting a control electrode and a main electrode when the FET is turned off.

CONSTITUTION: When a control signal is applied to a terminal VB, a transistor TR6 is conductive, a current charging a capacitance C_{iss} between the gate and source in an MOSFET1 from the positive polarity (marked.) flows and the FET1 is quickly conductive. When the control signal is interrupted and the TR6 is set off, the electric energy stored in a pulse transformer 2 is consumed in a circuit consisting of a resistor 41 and a diode 5. Since the exciting current appearing at a winding 203 conducts a switching element 14, the stored charges in the capacitor C_{iss} flow in a resistor 13 and are consumed quickly. Since the capacitor C_{iss} is not discharged by the exciting current, the charges are discharged at a constant time at all times with the resistor 13 and the turn-off characteristics are made stable. Since the exciting current is designed very small, the control circuit is designed in small size and small power.

COPYRIGHT: (C)1983,JPO&Japio

⑯ 日本国特許庁 (JP)
⑯ 公開特許公報 (A)

⑮ 特許出願公開

昭58-136137

⑯ Int. Cl.³
H 03 K 17/687
17/04
// H 02 M 1/08
3/28

識別記号

厅内整理番号
7105-5J
7105-5J
7319-5H
6957-5H

⑯ 公開 昭和58年(1983)8月13日
発明の数 1
審査請求 有

(全 7 頁)

⑯ 電界効果トランジスタの制御回路

⑯ 特 願 昭57-17560

⑯ 出 願 昭57(1982)2月8日

⑯ 発明者 阿部公仁
日立市幸町3丁目1番1号株式
会社日立製作所日立研究所内

⑯ 発明者 恩田謙一
日立市幸町3丁目1番1号株式
会社日立製作所日立研究所内

⑯ 発明者 天野比佐雄

日立市幸町3丁目1番1号株式
会社日立製作所日立研究所内

⑯ 発明者 蔡野光平

日立市幸町3丁目1番1号株式
会社日立製作所日立研究所内

⑯ 出願人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

⑯ 代理人 弁理士 高橋明夫

明細書

発明の名称 電界効果トランジスタの制御回路
特許請求の範囲

1. 制御電極と一对の主電極とを有する電界効果トランジスタを導通制御する回路において、上記電界効果トランジスタの非導通期間に上記制御電極と一方の主電極間に短絡する極間蓄積電荷放電手段を備えたことを特徴とする電界効果トランジスタの制御回路。

2. 特許請求の範囲第1項において、前記制御電極と一方の主電極間にトランスを設け、このトランスを介して前記制御電極に制御信号を与えることを特徴とする電界効果トランジスタの制御回路。

3. 特許請求の範囲第1項において、前記制御電極と一方の主電極間に圧電素子を設け、この圧電素子を介して前記制御電極に制御信号を与えることを特徴とする電界効果トランジスタの制御回路。

4. 特許請求の範囲第1項、第2項又は第3項において、前記極間蓄積電荷放電手段は、抵抗とスイッチ素子の直列接続体から成ることを特徴とす

る電界効果トランジスタの制御回路。

5. 特許請求の範囲第4項において、前記スイッチ素子は、前記電界効果トランジスタを非導通とする制御信号によつて導通とされることを特徴とする電界効果トランジスタの制御回路。

6. 特許請求の範囲第2項において、前記トランスによる次巻線を設け、この3次巻線の出力によつて前記極間蓄積電荷放電手段を動作させることを特徴とする電界効果トランジスタの制御回路。

発明の詳細を説明

本発明は、電界効果トランジスタを高速で切換する制御回路に関する。

電界効果トランジスタ(以下FETと称する)をスイッチ素子として用いることが提案されている。その場合、通常、ソース電極とドレイン電極がスイッチの一対の端子として使用され、この一対の端子間の導通がゲート・ソース電極間に印加される制御信号によつて制御される。この場合、電界効果トランジスタのゲート回路と制御信号源を電気的に絶縁する目的で、两者間に変圧器を介

在させる方法が知られている。このような回路の一例について第1図において説明する。

第1図で、NチャンネルエンハンスマントMOS型電界効果トランジスタ(以下単にMOSFET)1のドレン電極(R)、ソース電極(S)間には制御されるべき対象(図示せず)が接続され、ゲート電極(G)、ソース電極間にパルストラ ns 2の二次側の巻線202が接続されている。パルストラ ns 2の一次側の巻線201には、ゲート電極3と、電源制御用抵抗4とトランジスタ6のエミッタ電極、コレクタ電極が直列に接続されている。また、二次側の巻線202にはパルストラ ns 2の励磁電流を遮断させるためのダイオード5と抵抗41の直列回路が接続されている。トランジスタのベース電極は制御電圧の入力端子V_gとなる。

この回路は、端子V_gに制御信号発生回路(図示せず)からの制御信号を印加することによりトランジスタ6をオン状態とし、その期間中パルストラ ns 2の一次側にゲート電源3からの電流を通

イン・ソース電極間の電圧V_{ds}をそれぞれ示す。

次に、V_gが0となりトランジスタ6がターンオフすると、パルストラ ns 2中に蓄積されたエネルギーは励磁電流としてダイオード5、抵抗41を通して放出される他、二次側の巻線202からi₂₀₂と逆極性の電流i₂₀₁となつて放出される。このi₂₀₁によつてC₁₀₁は放電し、それによつてMOSFETはターンオフする。ここで、制御信号V_gの印加される期間、すなわち、MOSFETのオン期間が変わつた時の動作を第2図を用いて説明する。

パルストラ ns 2に発れる励磁電流は、一次側通電期間が長くなる程大きくなるから、従つてトランジスタ6がターンオフした時にパルストラ ns 2から外部に放出される電流も、一次側の通電期間が長い程大きくなる。

第2図(a)の実験で示す一次側通電期間では、i₂₀₁の電流がパルストラ ns 2から放出され、この時MOSFETのターンオフ時間は第2図(d)で示すt_{off}で1つとする。次に、一次側通電期

間し、それによつてパルストラ ns 2の二次側に MOSFET 1に対するゲート電圧を印加してこれをオン状態に保つものである。なお、パルストラ ns 2の一次および二次側の巻線、インダクタンス等は、上述の制御信号が印加されている期間中、二次側に電圧を誘起するように設計されている。

本発明者らは、上述の回路には次のような欠点があることを見出した。すなわち、上述の回路で MOSFET 1に高速スイッチングを行なわせると、MOSFET 1内のゲート・ソース電極間の容量(ゲート入力容量、以下C₁₀₁と呼ぶ)により、所望のスイッチング動作ができないのである。

この点につき、第1図の回路での各部の動作波形を示す第2図を参照しつつ説明する。

第1図の端子V_g、IC、第2図(a)に実験で示す制御信号V_gが入力されたとき、パルストラ ns 2の二次側には第2図(b)に示す電流i₂₀₁が流れ、それによつてC₁₀₁が充電され、MOSFET 1はオン状態となる。第2図(c)にはこのときのMOSFET 1のゲート・ソース電極間電圧V_{ds}を、(d)にはドレ

ン間電圧V_{ds}をそれぞれ示す。間隔で示す様に長くなつたとすると、パルストラ ns 2から放出される電流もi₂₀₁のように大きさも変動する。通常、dV_{ds}/dtの値がほぼ一定であるときは、スペイクノイズが発生したとしても、これに対する回路的な対策は比較的容易なものであるが、dV_{ds}/dtの値が変動しノイズの大きさも変動するとこれらに対する対策が複雑となり、実際上対策が困難となる欠点もあつた。そのために、ノイズが被制御回路(例えばコンピュータのメモリ用電源)中に戻れるという欠点を生ずる。

また制御信号V_gの通電期間が最も小さい時でもC₁₀₁を十分充電できるi₂₀₁を供給する必要があるため、パルストラ ns 2のコアは、励磁インダクタンスを大きく設計される(例えばエアキャップコアとする)。しかし、これによるとV_gの通電期間が長くなるにつれて、i₂₀₁も大きくなり、C₁₀₁の逆充電電圧が高まつて、MOSFET 1を破壊する場合があり、実用上制御範囲が限定される欠点があつた。

次に別な従来例として第3回を用いて説明する。第3回は、MOSFET 1のゲート・ソース電極間と巻線202との間にコンデンサ10を接続し、これの充放電電荷でMOSFET 1をオン・オフさせる。

ダイオード7は、順方向の電流*i...*を流すために設けられ、トランジスタ8は、逆偏性電流*i...*を流すために設けられる。9はベース抵抗である。

この回路は、MOSFET 1を長時間にわたり導通状態を保持する目的には適するが、スイッチングレギュレータ用スイッチ素子のように、高速駆動を特徴とするMOSFETを効率的に利用する回路には応用できない。

それは、コンデンサCの充放電時定数が大きいことと、*i...*, *i...*を大きくとるために、ペルストラス2が大形となり、ゲート電源3の容量を大きくとる等欠点が多いためである。

さらに第1回、第3回の従来回路では次の欠点があつて実用化が困難となつている。

すなわち、MOSFET 1のドレイン・ソース電

子に印加して、その導通を制御するFETの制御回路において、ターンオフ時に極間の蓄積電荷を抵抗を介してすみやかに放電させる手段を具備したところにある。

以下本発明の実施例について説明する。第4回は、本発明による蓄積電荷放電手段の主要構成部を示す。第4回において、1は電界効果トランジスタ、12は電流制御用抵抗、13は抵抗、14はスイッチ素子で、バイポーラトランジスタ、電界効果トランジスタならびにホトカバトランジスタ等の半導体が使用できる。

制御信号は、入力端子11a, 11bに印加され、正信号の電流は、電流制御用抵抗12を通してゲート電極に流れ、MOSFET 1を導通させる。次に負信号の電流は、スイッチ素子14が導通するよう、制御端子15を介した電流経路を形成することにより、スイッチ素子14が導通し、ゲート・ソース電極間の蓄積電荷をすみやかに放電せることができる。負信号は、スイッチ素子14を導通させるだけのわずかな電流で良いから、

極間には、主トランジスタの巻線がその入力電源に直列に接続されて、スイッチング動作により電力交換が行なわれる例が多い(図示しない)。

制御信号V_gがオフされた場合、ゲート・ソース電極間が逆バイアスされるので、MOSFET 1はオフ状態となる。この時V_{ds}は、MOSFETの特性で定まるdV_{ds}/dtで入力電圧+主トランジスタのドライブ電圧まで高められるから、C...
+ $\frac{dV_{ds}}{dt}$ ・Tなる電荷が出力容量(ドレイン・ゲート間静電容量; C...と略す)を介してC...およびコンデンサ10を充電するため、MOSFET 1は再びオン状態に引きもどされる。ここでTは、V_{ds}の変化時間である。

このように電圧をもつた状態でドレイン電流が流れると、MOSFETは駆動走を起こすため、実用上はこの欠点を改良しなければならない。

本発明の目的は上述した従来の欠点を除去し、FETを高速かつ安定に駆動できる制御回路を提供することにある。

本発明の特徴は、制御信号をFETのゲート端

これがC...に流れても、従来例で説明したような過大な逆充電等の不具合を起さない。したがつて、MOSFET 1のターンオフ時間すなわちC...の放電時間は、性質C...と抵抗13の時定数で定まる一定時間にできるので、ターンオフ特性が安定になる。

次にさらに具体的な実施例について説明する。第5回において、ペルストラス2を用いる実施例では、巻線202の反偏性側に励磁電流を阻止するダイオード15が接続される。蓄積電荷放電手段は、別巻線203に残される励磁電流を電流制御用抵抗121とダイオード151を介して、スイッチ素子14の制御電極に流すようにして行なう。

すなわち、端子V_gに制御信号が印加されると、正極側(+)印からC...を充電する電流が流れ、MOSFET 1がすみやかに導通する。次に制御信号が途絶え、トランジスタ8がオフ状態となるとペルストラス2に蓄積されていた電気エネルギーは、一次側に接続された抵抗41およびダイオ

ード5の回路を流れ消費される。この時、別巻線203に現われる励磁電流は、反極性方向に流れでスイッチ素子14を導通させるから、C100の蓄積電荷は抵抗13を経てすみやかに消費される。励磁電流は、二次巻線202にも現われるべきであるが、ダイオード15で阻止されて流れない。したがつて従来方式のように、励磁電流でC100の放電が起こることがないので、抵抗13により、常に一定時間で放電される。

本発明の別の実施例として第6図において説明する。この実施例は、別巻線を省いて簡素化を計った制御回路である。すなわち、ダイオード15で阻止される励磁電流を電流制御用抵抗121を介してスイッチ素子14の電極内に流入させるものである。この場合、励磁電流はC100を放電させる向きにゲート・ソース間を流れるが、その目的がスイッチ素子14を導通させるだけのわずかな電流を流すようにしてやるので、蓄積電荷の放電時間は、上述の実施例とほぼ同様に一定にすることができる。

固有振動周波数に基づく立ち上り特性で、16bの極間に電圧V_gが現われる。この時、MOSFET 1の入力インピーダンスがきわめて高いので、素子16bの内部損失ならびに表面リーキ電流を無視すれば、直線で示すようにV_gが保持されるが、実際には素子自体で電気エネルギーが消費されて、実線で示すような減衰する電圧でC100が充電される。

次に、制御信号が途絶えると、16aの磁歪が解かれる結果、受電素子16bの受ける機械力が逆向きとなつて、時間t₁₁₁では-V_gがスイッチ素子14を導通する方向に電流を供給する。

圧電素子は、一枚のプレート状素子に二対の配向電極を設けた、いわゆる圧電トランスを用いることは可能である。

このよう圧電素子を用いる方法は、構造が簡くなるのと、電磁誘導障害の影響がなくなる等のメリットが大きい。

更に実用回路応用例で本発明を説明する。第9図は、周知のインバータ回路で、E₁は入力電源、

したがつて上述2つの実施例では、励磁電流をきわめて小さく設計できるので、従来のようなギヤップコアを使用する必要がなく、また制御回路用電力も少なくてすむため、制御回路は、小形、小電力に設計することが可能となる。

上述は、巻線を有する変圧器および励磁電流を利用して制御用正負信号を印加する方法で説明したが、第7図は、圧電素子例えはチタン酸バリウム磁器の磁歪現象を利用する方法での実施例を説明する。

第7図で、16は例えはディスクタイプの圧電素子で両面に電極膜し、16aは振動素子、16bは受電素子として用い、両者は絶縁物17で互いに固定されている。

V_gに制御信号が印加されてトランジスタが導通すると、ゲート電源3の電圧が16aの極間に印加される。この電圧をV_gとして第8図に示す。

振動素子16aはV_gによって磁歪を起し、この機械力が受電素子16bに伝達されて、素子の

Tは主トランス、18は出力端子で、MOSFET 1a、1bを用いたブツシユブルタイプで示した。この回路を従来方法の制御回路で駆動すると、第10図に示すように、MOSFET 1aがターンオフする時刻t₁₁₁および相手側1bがターンオフするt₁₁₁₁にドレイン電流が流れることが知られている。これは、t₁₁₁、t₁₁₁₁におけるdV/dtによって極間の出力容量C₁₀₀を介したC₁₀₀への充電によるもので、本発明ではこの充電電流を抵抗13側へ流すよう行なうため、これらの欠点を排除できる。

すなわちV_gの制御信号が途絶えてから時間T₁₁の期間までスイッチ素子14の導通期間を保持することにより、C₁₀₀への電荷流入が阻止できる。これの具体例としては、パルストランス2の励磁インダクタンスと抵抗41の値を適切に選ぶことにより、トランスのリセット時間を定めて行なうことができる。

以上のように本発明によれば、蓄積電荷吸収手段を具備させるととにより、MOSFETを高速か

つ安定に駆動できる制御回路を得ることができる。

図面の簡単な説明

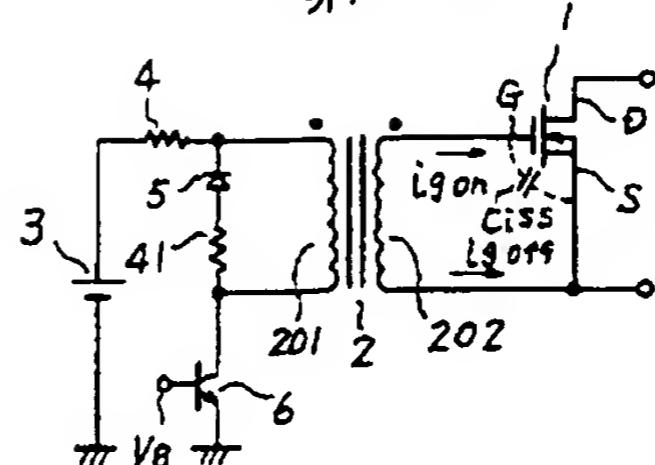
第1図は従来の制御回路図、第2図はFETターンオフ時の性を説明する図、第3図は従来例の別な制御回路図、第4図は本発明の要点を説明する回路図、第5図、第6図、第7図はそれぞれ本発明の実施例を示す回路図、第8図は圧電素子の電気信号を説明する図、第9図は本発明をインバータに応用した実施例回路図、第10図はその駆動時の動作波形図を示す。

1 … MOSFET, 11a, 11b … 入力端子,

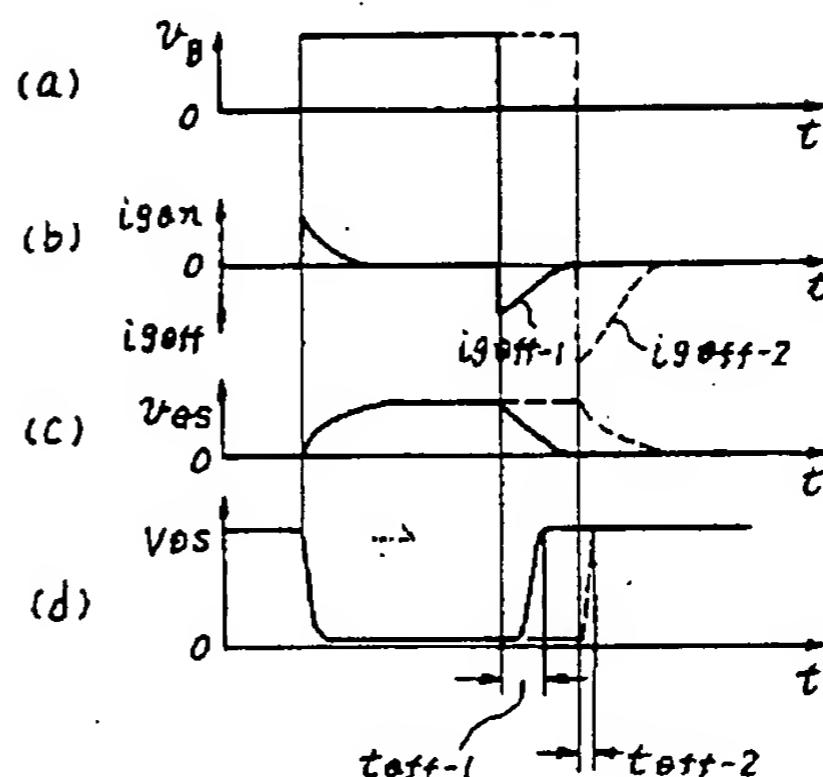
12, 13 … 增抗, 14 … トランジスタ。

代理人弁理士 高橋明義

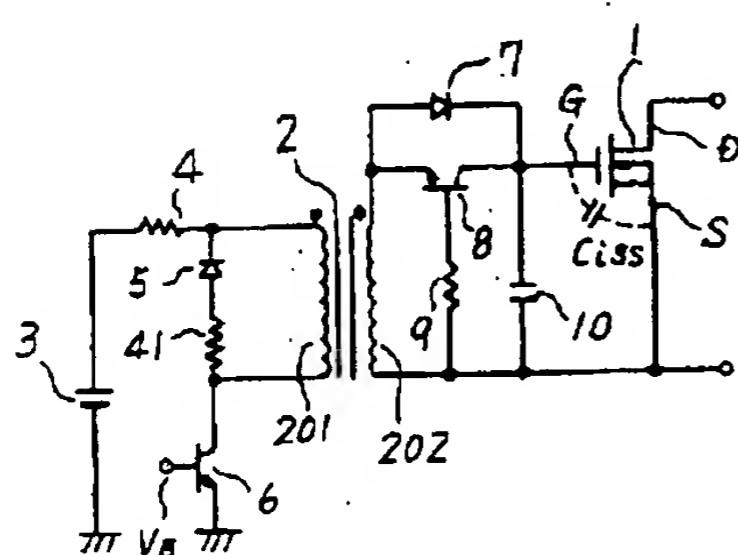
第1図



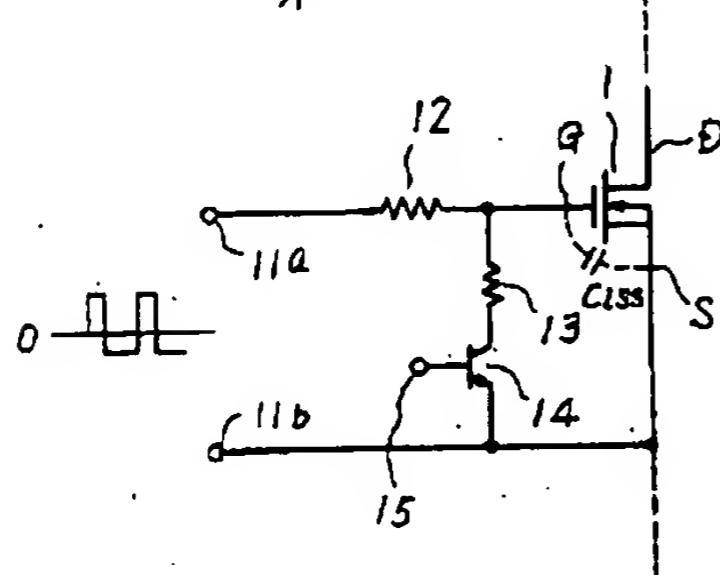
第2図



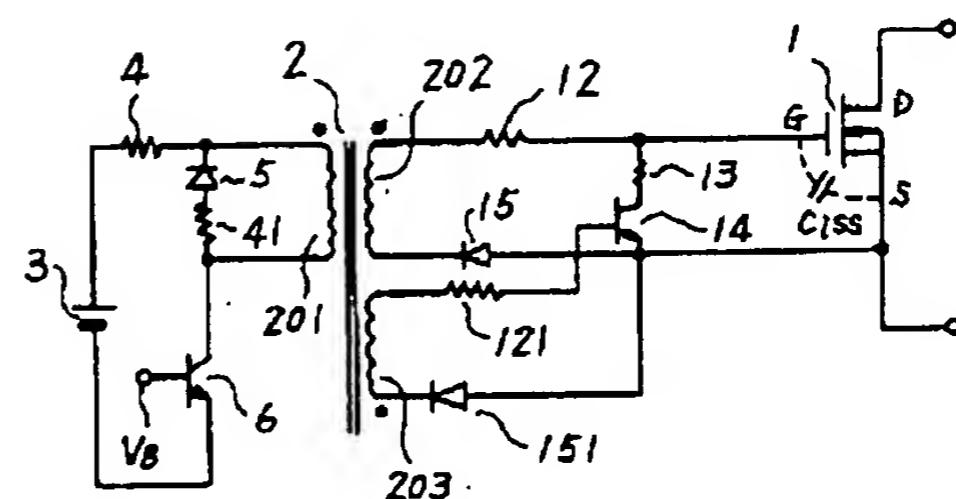
第3図



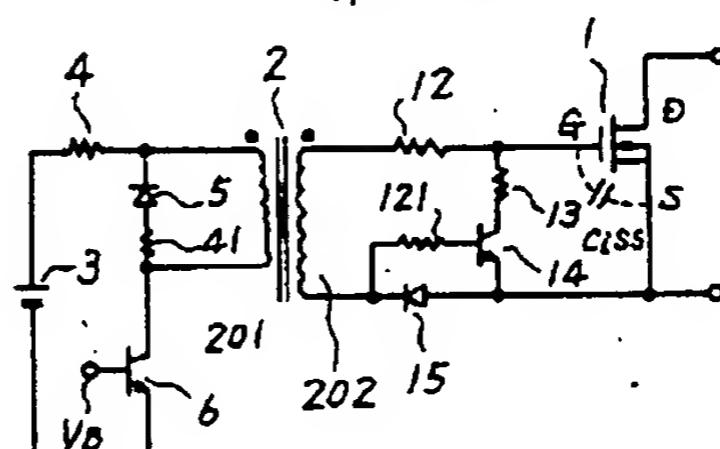
第4図



第5図

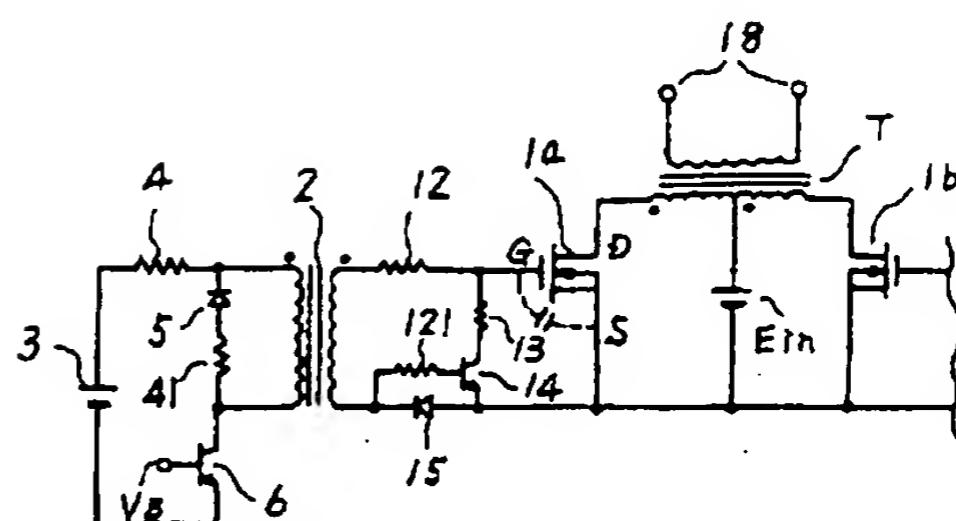
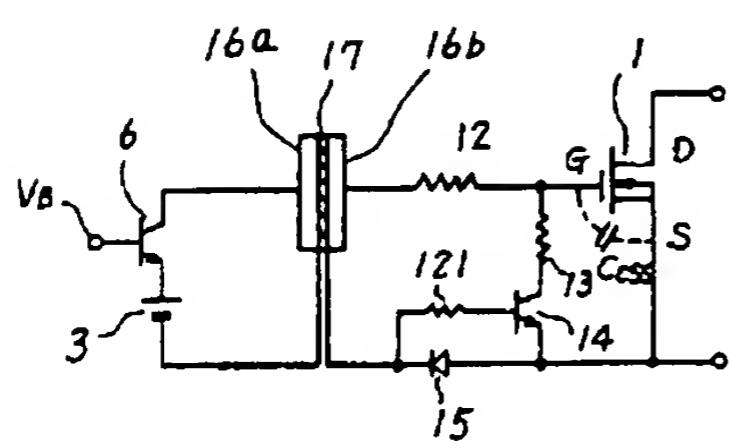


第6図

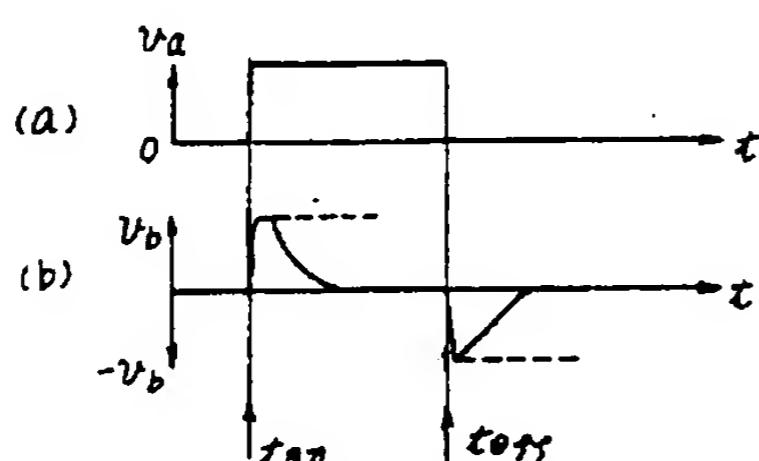


第9図

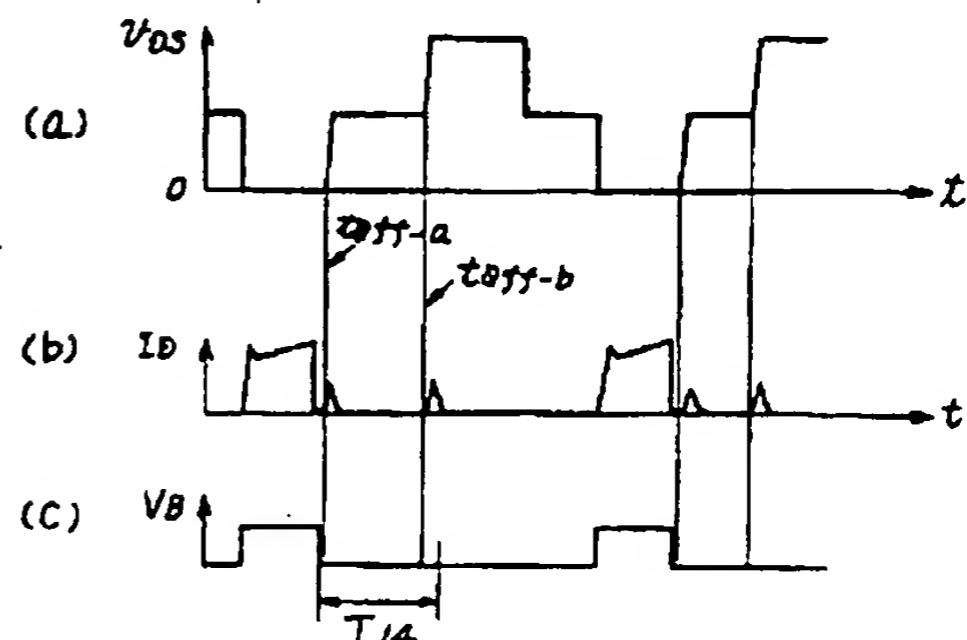
第7図



第8図



第10図



手 続 補 正 書

昭和57年4月2日

特許庁 長官 若杉和夫 殿

事件の表示

昭和57年 特許第 17680 号

発明の名称 電界効果トランジスタの制御回路

補正をする者

事件との関係 特許出願人

住 所 東京都千代田区丸の内一丁目5番1号

名 500株式会社 日立製作所

代 表 者 三田勝茂

代 理 人

住 所 東京都千代田区丸の内一丁目5番1号

株式会社 日立製作所内 電話 東京433-4221(大代表)

氏 名 6189-21 理士高橋明夫

補正の対象 明細の特許請求の範囲及び
発明の詳細な説明の範

補正の内容

別紙のとおり

1. 特許請求の範囲を次のとおりに補正する。

「1. 制御電極と一对の主電極とを有する電界効果トランジスタを導通制御する回路において、上記電界効果トランジスタの ターンオフ時に上記制御電極と一方の主電極間に接続する スイッチ素子を備えたことを特徴とする電界効果トランジスタの制御回路。」

2. 特許請求の範囲第1項において、前記制御電極と一方の主電極間にトランジスを設け、このトランジスを介して前記制御電極に制御信号を与えることを特徴とする電界効果トランジスタの制御回路。

3. 特許請求の範囲第1項において、前記制御電極と一方の主電極間に压電素子を設け、この压電素子を介して前記制御電極に制御信号を与えることを特徴とする電界効果トランジスタの制御回路。

4. 特許請求の範囲第1項、第2項又は第3項において、前記 スイッチ素子と直列に抵抗を接続したことを特徴とする電界効果ト

(1)

ランジスタの制御回路。

5. 特許請求の範囲第1項乃至第4項のいずれかにおいて、前記スイッチ素子は、前記電界効果トランジスタを非導通とする制御信号によつて導通とされることを特徴とする電界効果トランジスタの制御回路。
6. 特許請求の範囲第2項において、前記トランジスに3次巻線を設け、この3次巻線の出力によつて前記スイッチ素子を動作させることを特徴とする電界効果トランジスタの制御回路。」

2. 明細書第9頁第3行「抵抗を介して」を「スイッチ素子を介して」に補正する。

以上